MAURER

SONY®

HD DIGITAL FRAME RECORDER

HDDF-500

SUPPLEMENT-2

対象マニュアル

HDDF-500
OPERATION AND MAINTENANCE MANUAL
1st Edition
1st Edition (Revised 1)

これらのマニュアルは下記のセットに添付されています。

HDDF-500 (J) # 10001 to # 10199
HDDF-500 (UC) # 10001 to # 10199
HDDF-500 (EK) # 10001 to # 10199

MANUALS TO BE SUPPLEMENTED

HDDF-500
OPERATION AND MAINTENANCE MANUAL
1st Edition
1st Edition (Revised 1)

Above manuals area packed with the following units.

HDDF-500 (J) # 10001 to # 10199
HDDF-500 (UC) # 10001 to # 10199
HDDF-500 (EK) # 10001 to # 10199

Digital HDVS
OPERATION AND MAINTENANCE MANUAL

HDDF-500 (J／UC／EK)
9-967-289-06

Sony Corporation
Communication Products Group

Printed in Japan
1991.2 09
© 1991
Published by B & P Operations Group

For the customers in the U.S.A.

WARNING

This equipment generates, uses, and can radiate radio frequency energy and if not installed and used in accordance with the instructions manual, may cause interference to radio communications. It has been tested and found to comply with the limits for a Class A computing device pursuant to Subpart J of Part 15 of FCC Rules, which are designed to provide reasonable protection against such interference when operated in a commercial environment. Operation of this equipment in a residential area is likely to cause interference in which case the user at his own expense will be required to take whatever measures may be required to correct the interference.

The shielded interface cable recommended in this manual must be used with this equipment in order to comply with the limits for a computing device pursuant to Subpart J of Part 15 of FCC Rules.

For the customers in Canada

This apparatus complies with the Class A limits for radio noise emissions set out in Radio Interference Regulations.

Pour les utilisateurs au Canada

Cet appareil est conforme aux normes Classe A pour bruits radioélectriques, spécifiés dans le Règlement sur le brouillage radioélectrique.

このマニュアルに記載されている事柄の著作権は当社にあり，説明内容は機器購入者の使用を目的としています。
従って，当社の許可なしに無断で複写したり，説明内容(操作，保守等）と異なる目的で本マニュアルを使用することを禁止します。

The material contained in this manual consists of information that is the property of Sony Corporation and is intended solely for use by the purchasers of the equipment described in this manual.
Sony Corporation expressly prohibits the duplication of any portion of this manual or the use thereof for any purpose other than the operation or maintenance of the equipment described in this manual without the express written permission of Sony Corporation.

Le matériel contenu dans ce manuel consiste en informations qui sont la propriété de Sony Corporation et sont destinées exclusivement à l'usage des acquéreurs de l'équipement décrit dans ce manuel.
Sony Corporation interdit formellement la copie de quelque partie que ce soit de ce manuel ou son emploi pour tout autre but que des opérations ou entretiens de l'équipement à moins d'une permission écrite de Sony Corporation.

Das in dieser Anleitung enthaltene Material besteht aus Informationen, die Eigentum der Sony Corporation sind, und ausschließlich zum Gebrauch durch den Käufer der in dieser Anleitung beschriebenen Ausrüstung bestimmt sind.
Die Sony Corporation untersagt ausdrücklich die Vervielfältigung jeglicher Teile dieser Anleitung oder den Gebrauch derselben für irgendeinen anderen Zweck als die Bedienung oder Wartung der in dieser Anleitung beschriebenen Ausrüstung ohne ausdrückliche schriftliche Erlaubnis der Sony Corporation.

目 次

TABLE OF CONTENTS

1. 取り扱い操作

1-1. 概要 ······1-1(J)

1-2. 各部の名称と働き ······1-3(J)

1-2-1. 前面 ······1-3(J)

1-2-2. 後面 ······1-5(J)

1-2-3. 内部基板 ······1-7(J)

1-3. 接続 ······1-12(J)

1-3-1. 接続図 ······1-12(J)

1-3-2. 接続例 ······1-13(J)

1-4. 操作 ······1-16(J)

1-4-1. 準備 ······1-17(J)

1-4-2. HDDF-500とHDVS VTR 間の記録 ······1-18(J)

1-4-3. コンピューターグラフィックスの記録 ······1-18(J)

1-4-4. アニメーションの記録 ······1-18(J)

1-4-5. HDDF-500の単独操作 ······1-18(J)

1-5. 主な仕様 ······1-19(J)

1. OPERATION

1-1. Overview . . . . . 1-1 (E)

1-2. Location and Function of Parts . . . . . 1-3 (E)

1-2-1. Front Panel . . . . . 1-3 (E)

1-2-2. Rear Panel . . . . . 1-5 (E)

1-2-3. Circuit Boards . . . . . 1-7 (E)

1-3. Connections . . . . . 1-11 (E)

1-3-1. Connection Diagram . . . . . 1-11 (E)

1-3-2. Connection Examples . . . . . 1-12 (E)

1-4. Operation . . . . . 1-15 (E)

1-4-1. Preparations . . . . . 1-16 (E)

1-4-2. Recording a Signal from an HD VTR to the HDDF-500 and Vice Versa . . 1-17 (E)

1-4-3. Recording Computer Graphics . . . . 1-17 (E)

1-4-4. Recording Animations . . . . . 1-17 (E)

1-4-5. Recording with the HDDF-500 Using Local Control . . . . . 1-17 (E)

1-5. Specifications . . . . . 1-18 (E)

2. 設置

2-1. 開梱と再梱包 ······ 2-1 (J)
2-2. 付属品 ······ 2-2 (J)
2-2-1. 標準付属品 ······ 2-2 (J)
2-2-2. 別売りアクセサリー ······ 2-2 (J)
2-3. 電源 ······ 2-3 (J)
2-3-1. 電源の容量 ······ 2-3 (J)
2-3-2. 電源コード ······ 2-3 (J)
2-3-3. 電圧切換器のセッティング ······ 2-3 (J)
2-3-4. 換気／放熱 ······ 2-3 (J)
2-4. 設置環境 ······ 2-4 (J)
2-5. 設置スペース ······ 2-5 (J)
2-6. ラックマウント方法 ······ 2-7 (J)
2-7. 入出力インターフェース ······ 2-9 (J)
2-7-1. 適合コネクター／ケーブル ······ 2-9 (J)
2-7-2. コネクター入／出力信号 ······ 2-10 (J)
2-8. スイッチ、ジャンパーの設定 ······ 2-13 (J)
2-8-1. スイッチ、ジャンパーの索引 ······ 2-13 (J)
2-8-2. DP-104基板 ······ 2-13 (J)
2-8-3. SY-149基板 ······ 2-14 (J)
2-8-4. IF-249基板 ······ 2-16 (J)
2-8-5. VOLTAGE SELECTORスイッチ ··· 2-16 (J)
2-8-6. LEDの表示 ······ 2-17 (J)

2. INSTALLATION

2-1. Unpacking and Repacking ······ 2-1 (E)
2-2. Accessories ······ 2-2 (E)
2-2-1. Accessories Supplied ······ 2-2 (E)
2-2-2. Optional Accessories ······ 2-2 (E)
2-3. Power Requirements ······ 2-3 (E)
2-3-1. Capacity of AC Power Source ··· 2-3 (E)
2-3-2. Power Cord ······ 2-3 (E)
2-3-3. Voltage Selector Setting ······ 2-3 (E)
2-3-4. Ventilation and Heat Sink ······ 2-3 (E)
2-4. Installation Conditions ······ 2-4 (E)
2-5. Installation Space ······ 2-5 (E)
2-6. Rack Mounting ······ 2-7 (E)
2-7. Input／Output Interface ······ 2-9 (E)
2-7-1. Matching Connectors and Cables ······ 2-9 (E)
2-7-2. Input／Output Connector Signals ······ 2-10 (E)
2-8. Switch and Jumper Setting ······ 2-13 (E)
2-8-1. Index of Switches and Jumpers ······ 2-13 (E)
2-8-2. DP-104 Board ······ 2-14 (E)
2-8-3. SY-149 Board ······ 2-14 (E)
2-8-4. IF-249 Board ······ 2-16 (E)
2-8-5. Voltage Selector Switch Setting ······ 2-16 (E)
2-8-6. LED Displays ······ 2-17 (E)

3. サービスインフォメーション

3-1. 主要部品配置図 ······ 3-1 (J)
3-2. 外装の取り外し ······ 3-5 (J)
3-3. プラグイン基板の引き抜き／挿入 ······ 3-6 (J)
3-4. 補修用部品注意事項 ······ 3-7 (J)
3-4-1. 補修用部品注意事項 ······ 3-7 (J)
3-5. 治工具・測定器 ······ 3-7 (J)
3-6. 電源部の注意事項 ······ 3-8 (J)
3-6-1. 一次側回路／感電注意 ······ 3-8 (J)

3. SERVICE INFORMATION

3-1. Main Components Locations ······ 3-1 (E)
3-2. Cabinet Removal ······ 3-5 (E)
3-3. Plug-in Boards Removal／Insertion ······ 3-6 (E)
3-4. Notes On Repair Parts ······ 3-7 (E)
3-4-1. Notes on Repair Parts ······ 3-7 (E)
3-5. Maintenance Tools／Fixtures ······ 3-7 (E)
3-6. Power Supply Block Precaution ······ 3-8 (E)
3-6-1. Primary Circuit & Electric Shock ······ 3-8 (E)

4. 自己診断機能

4-1. CPU PROM, CPU RAMメモリーエラー (SY-149基板) ······ 4-1 (J)
4-2. CPU PROM, CPU RAMメモリーエラー (IF-249基板) ······ 4-1 (J)
4-3. メモリーテスト ······ 4-1 (J)
4-4. コミュニケーションエラー ······ 4-1 (J)

4. DIAGNOSIS FUNCTION

4-1. CPU PROM, CPU RAM Memory Error (SY-149 Board) ······ 4-1 (E)
4-2. CPU PROM, CPU RAM Memory Error (IF-249 Board) ······ 4-1 (E)
4-3. Memory Test ······ 4-1 (E)
4-4. Communication Errors ······ 4-1 (E)

5. 回路説明

5-1. 概要 ···· 5-1 (J)
5-2. デジタルビデオフォーマット ···· 5-2 (J)
5-3. ビデオ信号およびメモリシステム ···· 5-2 (J)
  5-3-1. AD-45基板 ···· 5-2 (J)
  5-3-2. FM-18基板 ···· 5-5 (J)
  5-3-3. DA-34基板 ···· 5-6 (J)
5-4. コントロールおよびインターフェースシステム ···· 5-7 (J)
  5-4-1. SY-149基板 ···· 5-7 (J)
  5-4-2. IF-249基板 ···· 5-8 (J)

5. THEORY OF OPERATION

5-1. General Description ···· 5-1 (E)
5-2. Digital Video Format ···· 5-2 (E)
5-3. Video Signal and Memory System ···· 5-2 (E)
  5-3-1. AD-45 Board ···· 5-2 (E)
  5-3-2. FM-18 Board ···· 5-5 (E)
  5-3-3. DA-34 Board ···· 5-6 (E)
5-4. Control and Interface System ···· 5-7 (E)
  5-4-1. SY-149 Board ···· 5-7 (E)
  5-4-2. IF-249 Board ···· 5-8 (E)

6. 調整のための一般情報

6-1. 調整部品索引 ···· 6-1 (J)
6-2. 使用機器、治工具 ···· 6-1 (J)

6. GENERAL INFORMATIONFOR ALIGNMENT

6-1. Index of Adjustment Components ···· 6-1 (E)
6-2. Equipment and Tools ···· 6-1 (E)

7. 電源調整

7-1. 調整前の準備 ···· 7-1 (J)
7-2. ＋5V／－5V／＋12V／－12V／－2V調整 ···· 7-1 (J)

7. POWER SUPPLY ALIGNMENT

7-1. Adjustment Preparations ···· 7-1 (E)
7-2. ＋5V／－5V／＋12V／－12V／－2V ···· 7-1 (E)

8. 入力系調整要項

8-1. 調整順序（AD-45基板交換時） ···· 8-1 (J)
8-2. 調整前の準備 ···· 8-1 (J)
8-3. クロック位相調整 ···· 8-2 (J)
8-4. デジタル入力クロック位相調整 ···· 8-2 (J)
8-5. 記録系レベル調整 ···· 8-3 (J)
8-6. 記録系周波数特性調整 ···· 8-3 (J)
8-7. 記録系位相差調整 ···· 8-4 (J)

8. INPUT SYSTEM ALIGNMENT

8-1. Adjustment Sequence ···· 8-1 (E)
8-2. Adjustment Procedure ···· 8-1 (E)
8-3. Clock Phase Adjustment ···· 8-2 (E)
8-4. Digital Input Clock Phase Adjustment ···· 8-2 (E)
8-5. Recording System Level Adjustment ···· 8-3 (E)
8-6. Recording System Frequency Response Adjustment ···· 8-3 (E)
8-7. Recording System Phase Difference Adjustment ···· 8-4 (E)

9. 出力系調整要項

9-1. 調整順序（DA-34基板交換時） ···· 9-1 (J)
9-2. 調整前の準備 ···· 9-1 (J)
9-3. 再生系レベルおよび周波数特性調整 ···· 9-2 (J)
9-4. 再生系位相差確認 ···· 9-2 (J)
9-5. デジタル出力クロック位相調整 ···· 9-3 (J)

9. OUTPUT SYSTEM ALIGNMENT

9-1. Adjustment Sequence ···· 9-1 (E)
9-2. Adjustment Preparations ···· 9-1 (E)
9-3. PB System Level And Frequency Response Adjustment ···· 9-2 (E)
9-4. PB System Phase Difference Check ···· 9-2 (E)
9-5. Digital Output Clock Phase Adjustment ···· 9-3 (E)

10. 制御系調整要項

10-1. 調整順序（SY-149基板交換時） ···· 10-1 (J)
10-2. 調整前の準備 ···· 10-1 (J)
10-3. VCXO周波数調整 ···· 10-2 (J)
10-4. SYNC位相調整 ···· 10-2 (J)

10. CONTROL SYSTEM ALIGNMENT

10-1. Adjustment Sequence (SY-149 Board Replacement) ···· 10-1 (E)
10-2. Adjustment Preparations ···· 10-1 (E)
10-3. VCXO Frequency Adjustment ···· 10-2 (E)
10-4. Sync Phase Adjustment ···· 10-2 (E)

A. BLOCK DIAGRAM

AD-45 Board : Input Processor Board······A-1
SY-149 Board : Control Board ·················A-7
IF-249 Board : Interface Board·················A-11
DA-34 Board : Post Processor Board ·······A-15

B. SCHEMATIC DIAGRAM

AD-45 Board : Input Processor Board······B-2
SY-149 Board : Control Board ·················B-24
IF-249 Board : Interface Board·················B-56
DA-34 Board : Post Processor Board ·······B-80

SWITCHING REGULATOR ·······················B-121
PS-043B
MB-253 Board : Signal Table·····················B-125
: Wiring Diagram················B-137
FRAME WIRING ·····································B-161
CN-410 Board : Connector Panel Board
DP-104 Board : Display Panel Board
PE-18 Board : Power Lamp
RP-42 Board : Pear Panel Board

C. SEMICONDUCTOR PIN ASSIGNMENTS

Semiconductor Index·······························C-1
Diode ···C-2
Transistor ···C-2
IC ··C-3

D. REPLACEABLE PARTS AND OPTIONAL FIXTURE

Note on Repair Parts ······························D-1

Main Assembly···D-3

Card Rack Assembly ·······························D-5
Connector Panel Assembly························D-7
Power Block Assembly ····························D-9

AD-45 Board ··D-11
CN-410 Board ···D-17
DA-34 Board ··D-17
DL-37 Board ··D-23
DL-38 Board ··D-23
DL-39 Board ··D-24
DL-40 Board ··D-24
DP-104 Board ···D-24
EX-125 Board ···D-25
IF-249 Board ··D-25
MB-253 Board ···D-28
PE-18 Board ···D-28
PS-193 Board··D-28
RP-42 Board ···D-29
SW Regulator··D-29
SY-149 Board ···D-29

Frame ···D-34

Packing Materials & Supplied
Accessories ···D-34

第5章
回路説明

GおよびB、Rビデオチャンネルとその周辺回路の回路構成はほぼ同じです。ここではGビデオチャンネルを中心に説明しますが、異なる部分についてはその都度説明します。また、本回路説明は、第A章のブロック図ならびに第B章の回路図も同時に参照してお読みください。

5-1. 概要

HDDF-500は、1125本／60Hz G、B、R（帯域幅30MHzに匹敵）方式のHDTV信号を記録、再生できるデジタルフレームレコーダーです。1バイトには1ピクセルが使われており、ビデオ信号の各色成分を記憶するための各フレームに、約2Mバイトのメモリが用意されています。
（1ライン＝1920ピクセル、1フレーム＝1040ライン）

入力信号としては、アナログまたはデジタルのいずれかの入力信号が接続可能です。また通常の入力信号の代わりに、内蔵のデジタル信号発生回路で発生したテストパターンも使用することができます。

DIGITAL INPUTコネクタに入力されるデジタルビデオ信号と同様に、ANALOG INPUTコネクタに入力されるアナログビデオ信号は、74.25MHzのサンプリング周波数で、8ビットのECLレベルにデジタル化されます。選択されたデジタルまたはアナログいずれかの入力信号は、18.56MHzの32ビットデータに変換され、TTLレベルでマザー基板のビデオ入力データバスに送られます。

なおマザー基板には、32ビットのTTLレベルのバスが、ビデオ出力データバスとして使用されています。

ビデオデータは、フレームメモリ基板上のDRAM（Dynamic Random Access Memory）にデジタル信号の形でストアされます。ビデオデータは、マザー基板の32ビットデータバスを介して、フレーム単位またはフィールド単位で転送されてストアまたは読み出されます。メモリ容量は8フレーム（最小）から32フレーム（最大）であり、フレームメモリ基板（FM-18基板）を2枚、3枚または4枚使用することによって、4フレームまたは8フレームずつ増加させることができます。

本機のシステムはゲンロックモードで動作可能です。ゲンロック用PLL回路のリファレンスシンクは、アナログインプット用にはリファレンスビデオ入力またはアナログのG入力信号が、デジタルインプット用にはデジタルG入力信号が使用されます。なおフリーランによる使用も可能です。

アナログ出力は3系統、デジタル出力は1系統あります。出力バスからの32ビットデータは、8ビットデータに変換され、出力される前に処理されます。いずれかの系統が選択されると、信号発生回路からのビデオデータは、出力データバスからのビデオデータに切り替わります。アナログビデオ出力としては、コンポジット信号またはノンコンポジット信号を出力することができますが、デジタルビデオ出力（Gのみ）は、常時ノンコンポジット信号で出力されます。記録またはE／Eモードで動作中は、出力信号の位相は入力信号よりも2ライン遅延します。

HDDF-500のビデオメモリは、COMPUTER PARALLEL INTERFACEコネクタ（J1：INPUT、J2：OUTPUT）を介して、DEC（Digital Equipment Corporation）社のコンピュータでアクセスすることができます。

HDDF-500のリモートコントロール操作用として、2個の9ピンリモートコネクタ（REMOTE 1および2）があります。これにより、VTRのコントロールパネルや、編集機をコントローラとして使用することができます。HDDF-500の9ピンリモートコントロールコネクタによる操作は、1インチVTR BVH-2500と類似していますが、同様ではありません。これは、HDDF-500にはオーディオ機能がないため、オーディオコマンドはすべて該当しないことによります。

電源を投入するか、または基板上のリセットスイッチを押すと、システムはリセットされ、自己診断ルーチンに入ります。この自己診断中に不良が検出された時には、必ず本機の操作を開始する前に修理をして下さい。

5-2. デジタルビデオフォーマット

HDTV信号は74.25MHzでサンプリングされ、分解能が8ビット（0～255）のデータになります。

ANALOG INPUTコネクタに入力されたセットアップレベルが0のビデオ信号はA／Dコンバータに送られ、黒レベルは16（デシマル値）に、白レベルは235（デシマル値）にセットされます。これにより、700mVp-pのノンコンポジットアナログビデオ信号は、デシマル範囲が219（分解能約3.2mV）のデジタルデータに変換されます。

5-3. ビデオ信号およびメモリシステム

5-3-1. AD-45基板

AD-45基板は下記の回路にて構成されています。

- アナログ入力ゲインコントロール
- アナログ入力セットアップコントロール
- アナログ入力のローパスフィルタ
- アナログ入力のデジタル化
- アナログ入力の位相制御
- アナログ／デジタル入力選択
- 入力ビデオデータのシリアル／パラレル変換
- ゲンロックシンク選択および検出

(1) Gアナログ入力ビデオ回路（Q2、Q3、ICT7、ICS8）
Gアナログビデオ信号は、HDDF-500のコネクタパネルのANALOG INPUT Gコネクタに接続されているCN4を経由して、AD-45基板に入力されます。入力信号はACカップリングされ、FETによるバッファQ3の動作範囲まで減衰されて、最適な直線性に補償されます。

本回路はFET Q2およびQ3で構成されており、ビデオアンプICT7におけるビデオ信号のDC成分を最小にしています。両FETのドレイン電流が0になると、基板間のDCオフセットは一定に制御されます。

ビデオアンプICT7およびビデオ高域周波数特性調整用のCV1は、非反転型のゲインおよび周波数特性制御回路です。ICT7の5ピン出力はICS8でバッファされ、その出力（1ピン／TP10）でローパスフィルタFL1、クランプパルスジェネレータICN3の入力および基準シンク選択ゲートICR3が駆動されます。

(2) ローパスフィルタ（FL1）
FL1は、入力ビデオに含まれている帯域外の成分を減衰するために使用しています。この効果を発揮させ、かつビデオ信号に悪影響を及ぼさないようにするために、周波数帯域内の特性が平坦で、カットオフ特性が急峻で直線的なフィルタを使用しています。

(3) A／Dコンバータ・アナログ入力ビデオレベルおよびオフセット制御回路（ICL7、ICK8）

ローパスフィルタを通ったGビデオ信号は、差動アンプICL7の非反転入力（8ピン）に供給され、その出力はバッファICK8に供給されます。反転入力（1ピン）はDC出力の制御に使用されており、A／Dコンバータの変換比を正確にするために、ビデオ信号のオフセットを設定しています。ICL7のゲインは、RV1（G ANALOG GAIN）で微調整されます。バッファICK8の1ピン（TP8）出力は、A／DコンバータICJ10のアナログ入力端子（30ピン、34ピン）に供給され、サンプル／ホールド回路ICK9の2ピンに送られます。

(4) サンプル／ホールド回路（ICK9）

TP8のGビデオ信号のブランキング電圧はサンプリングされ、ICK9（1ピン）でGオフセット制御電圧と比較されます。エラー電圧は（ブランキングとオフセット制御電圧の電圧差）増幅されて、C38に保持されます。C38に保持されて増幅されたエラー電圧は、バッファを介してビデオアンプICL7の反転入力端子（1ピン）に帰還されます。これにより、TP8のビデオブランキング電圧は、ICK9（1ピン）のGオフセット電圧に数ミリボルト以内に合わせこまれます。

TP8のGビデオ信号は、クランプパルスバッファICH3の12ピンより出力される信号の立ち上がりでサンプリングされます。Gオフセット制御電圧は、RV3で調整されます。

(5) アナログビデオ・クランプパルスジェネレータ（ICM2、ICL2、ICK2、ICH3）

ビデオクランプパルスはTP10のGビデオ信号から作られ、G、BおよびRチャンネルへ各々送られます。

Gビデオ信号の負極性のシンクチップはダイオードD6でクランプされます。D6のカソード電圧は約－300mVで導通し、シンク検出器ICM2の非反転入力端子（4ピン）へ送られます。シンク検出器のスライス電圧のレベルは－12VがR42およびR43で構成されている抵抗分圧器で分圧されて、ICM2の5ピンに印加されます。

ICM2の12ピンで検出されたシンク信号の2H成分はICL2で除去され、1ライン当り1クランプパルスが発生します。ビデオクランプパルスは、ICK2（13ピン）のパルス幅に相当する分だけ遅延された後に発生します。この遅延によって、ICK2の12ピン（TP3）のビデオクランプパルスの位置が設定されます。なおビデオクランプパルスは、ビデオブランキング期間のみ発生します。TP3のビデオクランプパルスは、オープンコレクタ型のICH3（10ピン）のバッファに入り、ロジック“H”レベルが保証され、次にR31によってVccにプルアップされます。

(6) アナログGゲインおよびオフセット制御電圧回路（D25、ICK6、Q1）

高精度シャントレギュレータD25は、アナログゲインおよびオフセット制御電圧用の－2.5V電圧を発生するために使用されています。

ICK6およびQ1はゲインが一定のバッファです。このバッファは高入力インピーダンスなので、RV2（G GAIN CONT）による負荷の影響を無視することができます。レギュレータ出力Q1のエミッタ出力電圧（TP9）はRV2によって－2.0Vに調整され、A／DコンバータICJ10の23ピン（負基準電圧入力）に供給されます。なおRV2によるゲインの可変範囲は、±10％です。

RV3は、サンプル／ホールド回路ICK9の1ピンのGオフセット制御電圧をセットしています。RV3はGビデオ信号のセットアップ調整用で、HDDF-500から出力される信号のビデオセットアップ（黒レベル）を設定しています。なお抵抗ネットワークはGオフセット制御電圧を作っており、R100がゲイン制御電圧（TP9）に接続されています。したがって、Gゲイン制御用のRV2を可変すると、Gオフセット制御電圧を変更することができます。このGオフセット制御電圧補正によって、Gゲインを調整しても、ビデオ信号のセットアップを一定に保つことができます。

(7) G A／Dコンバータ（ICJ10）

G A／Dコンバータ（ICJ10）の負の基準電圧入力端子（23ピン：TP9）の電圧は、RV2（G GAIN）で調整されます。A／Dコンバータの負の基準電圧（レベル）に相当するアナログ入力電圧は、0（デシマル値）にデジタル化されます。

A／Dコンバータ（ICJ10）の正の基準電圧入力端子（41ピン）は、接地（0V）されています。A／Dコンバータの正の基準電圧（レベル）に相当するアナログ入力電圧は、255（デシマル値）にデジタル化されます。

Gアナログビデオ信号は、A／DコンバータICJ10のアナログ入力端子（34ピン、38ピン）に供給されます。A／Dコンバータの負の基準電圧入力はRV1で－2.0Vに微調整され、次にRV3（G OFFSET）でGアナログビデオのブランキングが16（デシマル値）に、またGピークが235（デシマル値）にデジタル化されるように調整されます。以上の調整によって、ノンコンポジットビデオ出力信号は700mV（0Vオフセット付）になります。

RV2（G GAIN）は、Gアナログ入力レベルのばらつきを補正しています。Gアナログ入力レベルのばらつきがRV2の調整範囲である±10％以上の場合は、RV2でTP8の電圧を－2.0Vにセットし、ビデオ出力が正規のレベルとなるようにRV1で微調整します。

ICJ10のG A/Dクロック入力（20ピンおよび21ピン）には、差動ECLレベルの74.25MHzのクロックが供給されます。このクロックの位相は、BおよびRのA/Dコンバータクロックとして調整することができます。両者の位相は調整され、デジタル化されたG、BおよびRアナログ入力ビデオのタイミングは等しくなります。G、BおよびRのビデオの位相は、DL1、DL2およびDL3で合わせられます。

A/DコンバータICJ10の“D0〜D7”端子から出力されるデジタル化されたGアナログビデオデータは、ICH8およびICH9で構成されている入力ビデオ選択回路のA入力に供給されます。

(8) Gデジタルビデオ入力回路
(ICC8－ICC9、ICC10、ICC15、ICG8、ICG9)

リアパネルのDIGITAL INPUT端子から送られてくる差動ECLレベルのGデジタルビデオデータはCP2からCP5で終端され、ICC12からICC15で構成されるラインレシーバに供給されます。なおラインレシーバの入力には、D7からD12による電圧リミッタが挿入されており、ラインレシーバの入力を過渡電圧から保護しています。

またGデジタルクロック入力も過渡電圧から保護するために終端されており、出力はラインレシーバICC10の5ピンおよび4ピンに供給されます。ラインレシーバの出力はバリアブルディレイラインを駆動しています。その出力は分配されて、デジタル入力ビデオデータのラッチに使用されます。ディレイラインは、クロックの立ち上がりエッジが、デジタルビデオデータセルの中央となるように調整されます。なお、BおよびRデジタル入力には、クロックは使用されていません。

Gデジタル入力データは、データレジスタICH6およびICH8にラッチされます。レジスタの出力は、ICF5/ICG3/ICG4で構成されるデジタル入力シンク検出回路およびICH8/ICH9で構成される入力ビデオ選択回路に供給されます。

(9) シリアル/パラレル変換回路

ECLレベルの74.25MHz/8ビットシリアルデータは、TTLレベルの18.563MHz/32ビットパラレルデータに変換されます。

選択されたG入力ビデオデータのシリアル/パラレル変換は、2ステップで行われます。中間のステップでは、シリアルデータを16ビットの37.125MHzのデータに変換しており、これはシリアルデータを最適な時間で2つの8ビットレジスタへラッチして行われます。ICC10およびICG12は偶数ピクセルをストアし、ICH10およびICH11は奇数ピクセルをストアします。両レジスタの出力は、TTLロジックレベルに変えられ、最後のパラレルデータ変換が行われます。

変換されたGパラレルデータは、8ビットレジスタおよび正規のクロックを使用して、同様に処理されます。Gパラレルデータは、ICC8からICC11を経由して、32ビットのG入力データバスに乗せられます。

(10) ゲンロック基準シンク回路
(ICT2、ICR3、ICN4、ICL3、ICH2、ICJ2、ICH3、ICP1、ICN1、ICP4、ICM4、ICM2)

アナログ入力ビデオがアクティブの場合は、ICM2の7ピン（TP4）から出力されるシンク信号がゲンロックの基準に使用されます。デジタル入力ビデオがアクティブの場合は、ICE5から出力されるシンク信号がゲンロックの基準に使用されます。ゲンロックループがフリーランモードの場合は、基準シンク信号は使用せず、SY-149基板のVCOに固定電圧が印加されます。VCOは設定周波数で発振し、その設定周波数は制御電圧をSY-149基板のRV2で調整すると変更することができます。

TP4のシンク信号は、シンク選択ゲート回路ICR3の4ピンから出力されるビデオ信号から作られます。ICR3の7ピンの基準ビデオ信号および6ピンのGアナログビデオ信号は、シンク選択ゲート回路に入力され、ICR3の2ピンのロジックレベルが制御されて、選択されます。“H”レベルではアナログビデオが選択され、“L”レベルでは基準ビデオが選択されます。選択されたビデオ信号は、ビデオアンプICP1の8ピンおよびサンプリングパルスジェネレータICN4の8ピンに入力されます。

選択されたビデオ信号はICP1で増幅され、その出力はバッファICN1に入ります。バッファの1ピンから出力されるビデオブランキング信号は、グランドレベル（0V）にクランプされ、電圧コンパレータICM2の非反転入力端子（8ピン）およびサンプル/ホールド回路ICP4の2ピンおよびICM4の2ピンに入力されます。電圧コンパレータの反転入力端子の電圧レベルは、負極性シンクチップの半分の電圧であり、したがってコンパレータの出力（TP4）は、基準シンクの50％のレベルでスライスしたパルス幅となります。2個のサンプル/ホールド回路（ICP4およびICM4）は基準入力電圧が異なっていますが、それ以外は基本的に同様に動作しています。
ICP4は、1ピンの基準電圧と非反転入力端子（2ピン）のビデオブランキングレベルを比較してサンプリングしています。なお1ピン（ケース）はR55を介して接地されています。エラー電圧は増幅されてC82に保持され、ICP1の1ピンに帰還されます。負帰還動作およびエラー電圧の増幅によって、ビデオブランキングレベルはグランドレベルにクランプされます。

ICP4は帰還ループの一部ですが、ICM4は異なります。負極性のシンクチップはICM4でサンプリングされ、6ピンから出力されてC89に充電されて、R46およびR44を介して反転入力（1ピン）に帰還されます。C89の最大充電電圧は、負極性シンクチップのレベルと同一です。ICM4はC89のバッファに使用しており、その8ピン出力はR45およびR46で構成される抵抗分割器で半分になり、電圧コンパレータICM2の反転入力（10ピン）に供給されます。

基準シンク検出器サンプル／ホールド回路内の2個のパルス発生回路の動作は、入力ビデオクランプ回路内のパルス発生と同様です。これらの回路では、2H成分を除去しており、ビデオブランキングのタイミングに相当するパルスを発生しています。主な相違点は、ICJ2の4ピンから負極性シンクチップに相当する第2のパルスを発生していることです。

デジタル入力ビデオがアクティブの場合、ICF5およびICG3に入力されるGデジタル入力ビデオから作り、ICG4から出力されるシンク情報が、ゲンロック位相ループの基準に使用されます。

5-3-2. FM-18基板

フレームメモリは2枚から4枚のメモリ基板で構成されており、1枚の基板には実装されているメモリICの数に応じて、4フレームまたは8フレームまでのR／G／Bの各画像を記憶することができます。メモリ基板の構成によって、8フレームから32フレームまでを記憶することができます。各フレームにはR／G／Bそれぞれ用として2Mバイトのメモリを割り当てています。なお実際のビデオ信号の記憶には、2Mバイト以下のメモリ領域が使用されており、残りのメモリ領域はテスト信号の発生やE-E動作に使用されます。

ICには標準的な256K×4ビットのDRAMが使用されています。これらのDRAMではHDTVの高速データを扱うために、広いワード幅が必要です。このフレームメモリシステムにおけるワード幅は32ピクセル（画素）であり、約430nsecの低速、かつ扱い易いメモリサイクルを使用しています。通常は、32ピクセルのメモリ幅と4ピクセルのワード幅の変換には、多くのパラレル／シリアル／パラレルコンバータが必要です。しかし本機では、メモリを8対1でインターリーブすることによって解決しています。構成としては、1クラスター当たり4ピクセルで全メモリIC間の授受を行っています。メモリコントロール信号は時間をずらしており、全メモリの1／8で各クラスターと授受を行っています。

基本的なメモリタイミングおよびアドレスの発生は、回路の冗長を避けるためにシステムコントロール基板で行われます。フレームメモリ基板は、ロー（横列）／カラム（縦列）がマルチプレックスされたアドレスおよびメモリサイクルコントロール信号を受け取ります。アドレスはメモリアレーに直接送られ、またサイクルコントロール信号はプログラマブルロジックによって、DRAM信号およびバスコントロール信号に変換されます。一連のレジスター回路は、8対1インターリーブ用の時間差を持ったアドレス信号およびコントロール信号を発生しています。

(1) 画像記憶

HKDF-508の基板に実装されている全DRAMの画像記憶容量は8フレーム（16フィールド）です。HKDF-504の基板にはその半分のDRAMが実装されており、画像記憶容量は4フレーム（8フィールド）です。各基板のメモリ容量の状態は、JP1の設定で表します。JP1の設定に関しては、「2-8章」を参照してください。
各コンポジットフレームはGフレーム、BフレームおよびRフレームで構成されており、合計約6Mビットのメモリを使用しています。

(2) 基板の選択

本機には4枚のメモリ基板を実装することができ、最低で2基板が必要です。基板は挿入位置に応じてスロット1、スロット2のように表します。各スロットの位置はマザー基板上でコード化され、ICA2（9、11、14ピン）に入力されてデコードされます。基板の選択はセレクトラインを介して行われ、ICA2（10、12、13ピン）に送られます。結果（Hレベル）は選択された基板上のICA2（6ピン）で確定されます。

(3) ビデオデータ

G／B／Rの各チャンネル毎に32ビットの入出力データバスがあり、各バスはマザー基板上にあり、ビデオデータはすべてこれらのバスを介して転送されます。G／B／Rの入出力バスラインはそれぞれGI0～GI31、GO0～GO31、BI0～BI31、BO0～BO31およびRI0～RI31、RO0～RO31用に指定されています。

(4) メモリアドレス
マルチプレックスされた行アドレス信号、列アドレス信号およびメモリサイクル制御信号はICB3（3、4、7、8ピン）に入力され、プログラマブルアレイロジック（PAL）ICC2およびICC3によってデコードされます。
ICC2およびICC3（15〜18ピン）でデコードされた制御信号は、さらにデコードされてメモリクロックおよび制御信号が作られます。またICC2およびICC3（12〜14ピン）でデコードされた別の制御信号は、アドレスA0〜A9と共にシフトレジスタに入力されて8位相が作られ、次にメモリアレイに入力されます。この制御信号およびアドレス信号はすべてのメモリアクセス（読み出し、書き込みおよびメモリリフレッシュ）に利用されます。

5-3-3. DA-34基板

ポストプロセッサ基板、DA-34基板にはメモリ基板からのデータが後部基板を経由して入力され、入力データはアナログフォーマットおよびデジタルフォーマットに変換されて出力されます。
G／B／Rの各ビデオデータは32ビット／18.6MHzで入力され、8ビット／74.25MHzに変換されます。次にビデオデータは±400nsecの調整範囲を持つ水平位相調整用のディレイラインをとおり、デジタルブランキングおよびシンクが付加されます。デジタル信号はバランス形式に変換され、デジタルビデオ出力に供給されます。同時にこの信号は、D／Aコンバータに送られます。アナログ出力信号はフィルターを経由し、ラインアンプを介して出力されます。

これらの機能をまとめると次のようになります。
- 出力ビデオデータのパラレル／シリアル変換
- 水平位相制御および出力ビデオデータのブランキング
- Gデジタル出力ビデオへのシンクおよび保護ビットデータの付加
- デジタル出力ドライバ
- アナログ出力ビデオデータへのオプショナルシンク挿入
- アナログ変換、低域のフィルタリング（LPF）、直流再生およびアナログ出力ビデオの分配

(1) Gデジタルビデオ入力およびパラレル／シリアル変換
Gビデオデータは、マザー基板の32ビットビデオ出力データバス（GO0〜GO31）を介して入力され、ECLレベルに変換された後にシリアル化されます。32ビットパラレルから8ビットシリアルへの変換は2段階で行われます。18.56MHzのデータは、まず37.125MHzの16ビットデータに変換され、次に74.25MHzの8ビットデータに変換されます。データは次にH位相制御回路ICF5およびICF7（6、7、18、19ピン）の入力に供給されます。

(2) H位相制御およびブランキング
パラレル／シリアルコンバータからの8データビットは、RAM ICF5〜ICF8に連続的に書き込みおよび読み出しが行われます。RAMからのデータ読み出しのタイミングは、ビデオのH位相で決まります。
書き込んだ直後に同一アドレスからデータを読み出すと、ビデオの相対H位相はゼロになります。書き込みアドレスより5アドレス分後方から読み出した場合は、ビデオのH位相は5クロック（67.34ns）分遅れます。逆に、書き込みアドレスより5アドレス分前方から読み出した場合は、ビデオのH位相は67.34ns進みます。なお許容範囲は±400nsです。H位相制御回路の出力は、ICG7およびICG8によってブランキングされ、次にレジスタICH7およびにICH8にラッチされます。

(3) Gデジタル出力
ICH7およびICH8（2、3、14、15ピン）の出力は、マルチプレクサICH3、ICH4、ICG3およびICG4に送られ、シンクデータおよび保護ビットが付加されます。マルチプレクサの出力は、差動型のラインドライバICB5〜ICB8に供給され、その出力はHDDF-500のG DIGITAL OUTコネクタに送られます。シンクデータおよび保護ビットは、Gデジタル出力にのみ付加されます。

(4) Gアナログ出力
ICH7およびICH8（2、3、14、15ピン）の出力は、ICH5およびICH6で構成されているマルチプレクサに供給され、シンクデータがオプションとして付加されます。マルチプレクサの出力は、D／Aコンバータ（DAC）ICJ7（1〜9ピン）の入力に供給されます。
D／Aコンバータのビデオ出力はICK6およびICK7で増幅され、次にローパスフィルターFL1に送られます。FL1の出力はICN7で増幅され、RV1でゲインが設定され、CV1で周波数特性が設定されます。ICN7の出力（5ピン）はバッファーICP5〜ICP7を経由して、HDDF-500のANALOG OUTコネクタに送られます。ICP7の出力（1ピン）は、サンプル／ホールド回路ICN8によってサンプリングされ、Gビデオのブランキングがグランドレベルにクランプされます。

5-4. コントロールおよび インターフェースシステム

5-4-1. SY-149基板

コントロール基板は、メモリマネージメント、ビデオプロセシング、本体コントロール機能用のタイミング信号、シンク信号、コントロール信号を発生しています。コントロール基板は、ビデオ編集システムのように9ピンシリアル機器にインターフェースするためのポートを備えています。また自己診断およびサービステスト用のRS-232ポートを備えています。

内蔵のマスタークロックジェネレータは、選択されたアナログ入力またはデジタル入力またはリファレンス入力に位相ロックしており、74.25MHzで動作しています。このクロックは入力プロセッサおよびポストプロセッサに分配され、A/D変換およびD/A変換に使用されます。タイミング回路の大部分はマスタークロックの1/4の周波数で、すなわち18.6MHzで動作しており、使用し易い回路で構成されています。

インテリジェントコントロールは68000マイクロプロセッサで実現しており、タイミング信号に応答します。タイミング信号はシンク信号発生器、VTR動作用の9ピンシリアルインターフェースからのコマンド信号、マニュアルコントロールなどから送られてきます。

これらの機能をまとめると次のようになります。

- 外部基準信号に位相ロック可能なすべてのタイミング信号の発生
- ビデオメモリアドレス信号およびマルチプレックスドメモリ制御信号の発生

(1) CPU

SY-149基板のコントローラとしては、16ビットのCPU（ICK1：MC68000）を使用しています。ICJ2およびICJ6は124KワードのPROMで、ICJ3およびICJ6は64KワードのRAMです。D1はステータス表示用のLEDです。

電源を投入するか、あるいはシステムをマニュアルでリセットすると、CPUは自己診断によるテストモードへ入り、診断結果がD3に表示されます。

(2) シリアルI/Oポート

SY-149基板とIF-249基板のデータコミュニケーションは、シリアルポートを経由して行われます。データはICF7の12ピンから出力され、ICF7の14ピンに入力されます。ビデオメモリへのデータ転送は、このポートを介して整理されます。

リモートコントローラ（HDDF-500のREMOTE-1およびREMOTE-2）とのコミュニケーションは、RS-422型のポートを経由して行われます。S10で選択された1つのポートが常時アクティブ状態になります。データはICG8（2、3ピン）およびICG8（10、11ピン）から出力され、ICG8（1、2ピン）およびICG8（9、10ピン）に入力されます。HDDF-500のリモートコントロールは、VTRのコントロールパネルまたはエディタを使用してこれらのポートを介して行われます。

(3) コントロールスイッチおよび表示パネルドライバ

スイッチS1〜S11の設定状態は各フレーム毎に読み込まれて制御されます。ICH13（15、16および19ピン）およびICA16（2、5、6、9、12、15、16および18ピン）からのデータはHDDF-500の表示パネルに送られ、該当するランプが点灯して現在の状態が表示されます。

ディップスイッチS12の設定状態は、電源投入時およびシステムリセットによる自己診断時のみに読み込まれます。

(4) PLL

VCO1（74.25MHzのVCXO）はシステムクロックの基準周波数を発生しており、この周波数から各タイミング信号が作られます。ジャンパーJP1およびJP2は、VCO1をフリーランモードあるいは位相ロックモードで動作させる際に使用します。JP1およびJP2の設定に関しては、「2-8章」を参照してください。

位相ロックモードでアナログ入力信号が選択されると、PLLの基準はICE1（3ピン）からのシンク信号が使用され、またデジタル入力信号が選択されるとICA4（5ピン）およびICA4（12ピン）が使用されます。処理後、Hリファレンス信号は位相感度検出器ICC2の基準入力（1ピン）に入力されます。

ICD8（11ピン）で発生したPLLフィードバック入力および以降で処理された信号は、ICC2（3ピン）に帰還されます。

(5) タイミング信号

EPROMと連動した2つのカウンタは18.58MHzのクロックで動作しており、タイミング信号を発生しています。ICE3、ICE4およびICE5で構成されるカウンタおよびEPROM（ICD3およびICD4）は、Vレートのタイミング信号を発生しています。ICE6、ICE7およびICE8で構成されるカウンタおよびEPROM（ICD5〜ICD8）は、Hレートのタイミング信号を発生しています。PAL（Programmable Array Logic）ICD8、ICD10、ICD11およびICD12は、HおよびVがミックスされたコンポジットタイミング信号を発生しています。

(6) メモリアドレス

SY-149基板はすべてのメモリを制御しています。所定のフィールド（またはフレーム）への書き込み情報や、フィールド（またはフレーム）からの読み出し情報は、SY-149基板からメモリ系へ供給されます。
メモリ基板（最大4枚）は、ICA15（8、6、5、2ピン）で選択されます。メモリアドレスA0～A9はICA15（16、18ピン）およびICA14（12、15、16、19ピン）を経由してメモリ基板へ供給されます。なおメモリアクセス情報の一部としてメモリ基板に供給されたメモリアドレスは、IC13（12、15、16、19ピン）でマルチプレックスドメモリコントロール信号に使用されます。

5-4-2. IF-249基板

インターフェース基板、IF-249基板はパラレルコンピュータインターフェースを備えており、ノンリアルタイムでビデオメモリとの間で画像を授受することができます。ハードウェアとホストシステム間の通信は、*DR11／DRV11インターフェースで行われます。コンピュータ周辺を制御するのに加えて、インターフェース基板はコントロール基板と通信を行い、メモリアクセスを制御しています。IF-249基板はビデオテスト信号を供給し、またシステムデバッグ機能を持たせるために、コントロール基板と共有のロジックおよび内蔵ソフトウェアーを有しています。

インターフェース基板とフレームメモリ基板間のすべてのデータ転送は、FIFO（First-In First-Out）を経由して行われ、これにより高速のビデオ信号と低速のCPUをインターフェース基板上で通信することを可能にしています。フレームメモリ基板へのデータ転送は水平帰線期間中のみ可能であり、FIFOによってビデオ期間中にインターフェース基板上の回路がダイレクトメモリアクセス動作を継続できるようにしています。

インターフェース基板はデータそのものを制御し、システムコントロール基板、SY-149基板はアドレス、すなわち、どのフレーム／ライン／ピクセルが転送に関係するかを制御しています。本機内部でのデータ転送（メモリの自己診断およびテスト信号発生）は、システムコントロール基板がHレベルのコマンドをインターフェース基板に送ることで開始されます。本機の外部とのデータ転送はホストコンピュータまたはイメージプロセッサ側から開始されます。あるコマンドがアクノリッジされると、インターフェース基板はデータ転送の準備を行い、アドレス情報をコントロール基板に送ります。両方の基板の準備が完了すると、データ転送を開始します。

パラレルコンピュータインターフェースは、DEC社のDR11およびDRV11基板と信号の互換性があるように回路が構成されています。

DR11／DRV11インターフェースは、最大で毎秒500kバイトの速度でデータを転送します。

これらの機能をまとめると次のようになります。

- マイクロプロセッサコントロール
- システムコントローラとの通信
- ビデオメモリとのダイレクトメモリアクセス（DMA）
- パラレルコンピュータインターフェース

(1) マイクロプロセッサ制御システム

IF-249基板には16ビットのCPU（ICH8：MC68000）がコントローラとして使用されています。ICE5およびICE8は124KワードのPROMメモリで、ICE6およびICE9は64KワードのRAMです。D1はステータス表示用のLEDです。電源を投入するか、またはS1を使用してシステムをマニュアルでリセットすると、CPUは自己診断によるテストモードへ移行し、診断結果がD1に表示されます。

(2) システムコミュニケーション

IF-249基板とSY-149基板（システムコントローラ）のコミュニケーションはシリアルポートを介して行われます。データはICD2の14ピンから出力され、ICD2の4ピンに入力されます。

ビデオメモリからのビデオデータの入出力は、マザー基板上の32ビット×3×2の入力データバス（GI0～GI31、BI0～BI31およびRI0～RI31）と出力データバス（GO0～GO31、BO0～BO31およびRO0～RO31）および16ビットのCPUデータバス（D0～D15）で行います。入出力バスとCPUバス間のデータ転送は、16ビットのFIFOレジスタをバッファとして使用して行っています。初段のFIFOは全入力データの転送に使用しており、次段目のFIFOは全出力データの転送に使用しています。32ビットのメモリワードは、FIFO入力に於いて2つの16ビットワードに変換されます。逆に、FIFO出力に於いて2つの16ビットワードが32ビットメモリワードに変換されます。SY-149基板はビデオメモリのアドレス制御を行っています。

＊ DR11およびDRV11は、DEC社の登録商標です。

(3) ダイレクトメモリアクセス（DMA）

DMAを使用すると、ビデオメモリとのデータ入出力はCPUを介さずに行うことができ、データ転送の効率が向上します。DMAがアクティブ状態のときは、CPUによるバス制御はすべてCPUによって放棄され、CPUバスはDMAコントローラ（DMAC）ICH11によって制御されます。ブロックで転送されたデータはCPUを介さずに入出力データバスとCPUデータバス間に直接送られます。

(4) コンピュータパラレルインターフェース

コンピュータパラレルインターフェースはDEC社と互換性のあるコンピュータとのインターフェースに使用します。このコンピュータはHDDF-500のCOMPUTER PARALLEL INTERFACEのコネクタJ1およびJ2に接続します。J1およびJ2は基板前部のCN5およびCN6に送られます。ジャンパーJP1およびJP2はインターフェースされるコンピュータのバス構造に応じて設定します。ジャンパーJP1およびJP2の設定に関しては、「2-8章」を参照してください。
DMAモードでは、ビデオデータはICK6およびICK7を経由してCPUデータバスからインターフェースへ転送され、またICK2およびICK3を経由してインターフェースからCPUへ転送されます。
データ転送は、DMAC ICH11のREQ1（3ピン）がLレベルになると開始します。ブロックデータ転送が完了すると、DMACはDONEラインをLレベルにセットします。

5. 回路説明

SECTION 5
THEORY OF OPERATION

In the description of circuits, reference will be made to the Green video channel and its associated reference designators. Unless otherwise noted, what is said about the Green video channel will also apply to the Blue and Red video channels and their corresponding reference designators.

Note: Refer to Section A Block Diagram and/or Section B Schematic Diagram.

5-1. GENERAL DESCRIPTION

The HDDF-500 is a 1125line/60Hz G, B, R equal 30 MHz video bandwidth High Definition Television storage and retrieval system. With 1 stored frame of each color of video (1920 pixels per line and 1040 lines per frame.).

The input is either Analog or Digital Input Video. An internal digital Signal Generator with commonly used patterns may be used in place of the normal inputs.

The Analog Input Video is digitized at a 74.25 MHz, ECL logic level 8 bit rate, the same format as the Digital Input. The selected input, either the digitized Analog Input or the Digital Input is converted to TTL level 18.56 MHz 32 bit data and put on the video Input Data Bus that is on the mother board.

Also on the mother board is a 2nd 32 bit TTL level bus, the video Output Data Bus. All system level video transfers occur on the Input and Output buses.

Video is stored in digital form in Dynamic Random Access Memory (DRAM) chips on the Frame Memory boards. The video may be stored or retrieved in either frame or field units with the transfers occurring via the 32 bit Data Buses on the mother board. The storage capacity may be configured from 8 frames minimum to 32 frames maximum in increments of 4 or 8 frames using 2, 3, or 4 of the Frame Memory boards (FM-18 board).

The system can operate in the gen lock mode. The sync reference for the gen lock phase locked loop will be the Reference Video input or Analog Green input for Analog Video input and Digital Green Input for Digital Input video. In addition, free-run operation is possible.

There are 3 sets of Analog and 1 set of Digital Outputs. The 32 bit data from the Output Bus is converted to 8 bit data and processed before being output. When selected, the Signal Generator video replaces the output Video on the Output Data Bus. The analog video outputs can be composite or non-composite but the digital (Green only) will always be composite. During recording or EE operation, the output is delayed from the input by 2 video lines.

HDDF-500 video memory is accessible to Digital Equipment Corporation (DEC) compatible computers via the COMPUTER PARALLEL INTERFACE connectors, J1, INPUT and J2, OUTPUT. Control of the HDDF-500 by the Parallel Interface Controller is available when in local control.

Two 9 pin remote ports are available for remote control operation of the HDDF-500. A VTR control panel or video editor may be used as the controller. The HDDF-500 operates similarly to a BVH-2500 type of VTR. Since it is not identical to the BVH-2500, some of the BVH-2500 type of commands are acknowledged without any action taking place, e.g. all audio commands fall into this category since the HDDF-500 has no audio capability.

Whenever power is turned on or when the system is manually reset, the system is initialized and a self diagnosis routine is invoked. All faults detected during the diagnostics must be corrected before the system will operate.

5-2. DIGITAL VIDEO FORMAT

The High Definition Video is sampled orthogonally at 74.25 MHz rate, and 8 bit resolution (0 to 255 decimal range).

The level of the Analog Input Video, with 0 setup level, to the A/D converter is set so that black video will have a digital decimal value of 16 and white video, decimal 235. The 700 mV peak to peak non-composite Analog Input Video therefore has a digital decimal range of 219 (about 3.2 mV resolution).

5-3. VIDEO SIGNAL AND MEMORY SYSTEM

5-3-1. AD-45 Board

The AD-45 board performs the following functions:

- Analog Input gain control
- Analog Input setup control
- Analog Input low-pass filter
- Digitization of the Analog Input
- Analog Input phase matching
- Input source selection (Analog or Digital)
- Serial to parallel conversion of input video data
- Gen-locking sync selection and detection

(1) Green Analog Input Video (Q2, Q3, ICT7, ICS8)
The Green Analog Video enters the AD-45 board via CN4 which is connected to the HDDF-500 rear panel ANALOG INPUT G connector. The video is AC coupled and attenuated to reduce the dynamic operating range of the FET buffer, Q3, to insure optimum linearity.

The circuit configuration of the FETs, Q2 and Q3, minimize dc component of the video presented to the video amplifier, ICT7. The zero bias drain currents of the FETs are matched to control the uniformity of dc offset from board to board.

Video amplifier ICT7 and CV1, the high frequency video response adjustment, provides non-inverted gain and frequency response control. The output of ICT7 at pin 5 is buffered by ICS8 whose output (pin 1, TP10) drives the low-pass filter FL1, the input of clamp pulse generator ICN3, and the reference sync selector gate ICR3.

(2) Low-pass Filter (FL1)
FL1 is used to attenuate any out of band frequency components that might be mixed in with the input video. To effectively to this and not degrade the video, a sharp cutoff linear phase filter with flat in-band frequency response is used.

(3) A/D Converter Analog Input Video Amplifier and Offset Control (ICL7, ICK8)
The low-pass filtered Green Video is fed to the non-inverting input of differential amplifier ICL7 (pin 8) whose output is buffered by ICK8. The inverting input, pin 1 is used to control its dc output, which along with the video offset is set for the proper transfer ratio of the A/D conversion. RV1, the coarse Green Analog Gain control, sets the gain of ICL7. The buffer output, ICK8 (pin 1, TP8) is fed to the analog input of the A/D converter ICJ10 (pins 30 and 34) and the input of the sample and hold circuit ICK9 (pin 2).

(4) Sample and Hold Circuit (ICK9)

The Green Video blanking voltage at TP8 is sampled and compared to the Green offset control voltage at ICK9 (pin 1). The error voltage (difference in the blanking and offset control voltages) is amplified, and stored in C38. The amplified error voltage held in C38 is buffered and fed negative feedback action. This keeps the video blanking voltage at TP8 within a few millivolts of the Green Offset control at ICK9 (pin 1).

The Green Video at TP8 is sampled by the positive going signal of the clamp pulse buffer output, ICH3 (pin 12). The Green Offset control voltage is adjusted with RV3.

(5) Analog Video Clamp Pulse Generator (ICM2, ICL2, ICK2, ICH3)

The Video Clamp pulse is derived from the Green Video at TP10 and distributed to the Green, Blue, and Red channels.

The negative sync tip of the Green Video is clamped by diode D6 to D6s cathode voltage when conducting, approximately −300 mV, and fed to the non-inverting input of the sync detector ICM2 (pin 4). The slicing voltage level of the sync detector divider formed by R42 and R43, and the −12V supply.

The 2H component of the detected sync at ICM2 (pin 12) is eliminated by ICL2, so only one clamp pulse per video line is generated. The Video Clamp pulse is generated after a delay equal to the pulse period of ICK2 (pin 13). This delay is set to position the Video Clamp pulse at ICK2 (pin 12, TP3) so it occurs during video blanking only. The Video Clamp pulse at TP3 is buffered by open collector ICH3 (pin 10), to assure a high logic level that is pulled to Vcc by R31.

(6) Analog Green Gain and Offset Control Voltages (D25, ICK6, Q1)

D25, a precision shunt regulator is used to generate a −2.5V source for the Analog Gain and Offset Control Voltage circuits.

ICK6 and Q1 are configured as a unity gain buffer. Its very high input impedance has negligible loading effects on RV2 the Green Gain control. RV2, is set for a nominal voltage of −2.0V at regulator output Q1 (emitter, TP9) which feeds the A/D converter bottom reference voltage input, ICJ10 (pin 23). RV2 has a ±10% gain control range.

RV3 sets the Green Offset control voltage of the Sample and Hold circuit at ICK9 (pin 1). RV3 is the Green Video Set-up control and is adjusted to set the video set-up (black video level) of the HDDF-500 output video. Note that in the resistive network that forms the Green Offset Control voltage, R100 is connected to the Gain Control voltage at TP9. Therefore whenever the Green Gain control RV2 is adjusted, the Green Offset Control voltage will be modified. This correction of the Green Offset Control voltage keeps the video setup from changing whenever Green Gain is adjusted.

(7) Green A/D Converter(ICJ10)

The Bottom Reference Voltage input of the Green A/D converter, ICJ10 (pin 23, TP9) is adjusted with RV2, Green Gain control. Analog Input voltage of the A/D converter that are at the Bottom Reference Voltage level are digitized to decimal 0.

The Top Reference Voltage input of the A/D converter, ICJ10 (pin 41) is grounded (0V). Analog Input voltages of the A/D converter that are at the Top Reference Voltage level are digitized to decimal 255.

The Green Analog Video is fed to the Analog Input of the A/D converter, ICJ10 (pins 34 and 38). With the Bottom Reference Voltage input of the A/D converter set at −2.0V, the coarse Green Gain control RV1, and the Green Offset control RV3 are adjusted so Green Analog Video blanking is digitized to decimal 16 and peak green is digitized to decimal 235. With this alignment, the non-composite output video will be 700 mV with 0V setup.

RV2, the Green Gain control is adjusted to compensate for variations in the Green Analog Input level. For variations in input level that exceed the ±10% adjustment range of RV2, RV2 is set for −2.0V at TP8 and RV1, coarse Green Gain control is adjusted for the proper output video level.

The differential ECL level 74.25 MHz clock is fed to the Green A/D clock input, ICJ10 (pins 20 and 21). The phase of this clock is adjustable as are the Blue and Red A/D converter clocks. The phasing of these clocks are set to make equal the timing of the digitized Green, Blue, and Red Analog Input video. DL1, DL2, and DL3 are used to set the phase of Green, Blue, and Red video respectively.

The digitized Green Analog Video at the A/D converter output ICJ10, D0 through D7 is fed to the A input of the Input Video select multiplexer, ICH8 and ICH9.

(8) Green Digital Input Video
(ICC8 to ICC10, ICC12, ICC15, ICG8, ICG9)

The differential ECL level Green Digital Video is terminated by CP2 through CP5 and fed to the inputs of line receivers ICC12 and ICC15. Also at the inputs are voltage limiters, D7 through D12, used to protect the line receiver inputs from excessive voltages.

The Green Digital clock input, also terminated and protected from excessive voltages, is fed to line receiver ICC10 (pins 5 and 4). The output of the line receiver drives a variable delay line whose output is distributed and used to latch Digital Input Video. The delay line is adjusted to center the positive clock edge on the Digital Video data cell. The clocks of the Blue and Red Digital Inputs are not used.

The Green Digital Input data is latched into data registers ICH6 and ICH8. The output of the registers are fed to the Digital Input sync detector, ICF5, ICG3, and ICG4 and the B input of the Input Video select multiplexer, ICH8 and ICH9.

(9) Serial-to-Parallel Converter

The ECL level 74.25 MHz 8 bit serial data is converted to parallel TTL level 18.563 MHz 32 bit data.

The conversion of the selected Green Input Video serial data to parallel data is done in 2 steps. An intermediate step converts the serial data into 37.125 MHz by 16 bits. This is accomplished by latching the serial data at the appropriate time, into 2 sets of 8 bit registers. ICC10 and ICG12 stores the even pixels and ICH10 and ICH11 stores the odd pixels. The outputs of these registers are changed to TTL logic level and then undergo the final conversion to parallel data.

The final conversion to Green parallel data is similarly accomplished by use of 8 bit registers and properly timed clocks. The Green parallel data is put on the 32 bit Green Input Data bus via ICC8, ICC9, ICC10, and ICC11.

(10) Gen-Lock Reference Sync Circuit
(ICT2, ICR3, ICN4, ICL3 ICH2, ICJ2, ICH3, ICP1, ICN1, ICP4, ICM4, ICM2)

When Analog Input Video is active, the sync at ICM2 (pin 7, TP4) is used as the gen-lock reference. When Digital Input Video is active, the sync at the output of ICE5 is used as the gen-lock reference. When the gen-lock loop is in free running mode, no reference sync is used and a fixed voltage is applied to the voltage controlled oscillator (VCO, on SY-149 board). The VCO runs at its set frequency which may be changed by adjusting the control voltage with SY-149 RV2.
The sync at TP4 is derived from the video at the output of sync selection gate, ICR3 (pin 4). Reference video at ICR3 (pin 7) and Green Analog Video at pin 6 are the inputs to this gate and the logic level at ICR3 (pin 2) controls selection. A high level selects Analog Video and a low level selects the Reference Video. The selected video is fed to inputs of the video amplifier at ICP1 (pin 8) and the sampling pulses generator at ICN4 (pin 8).

ICP1 amplifies the selected video and its output is buffered by ICN1. The video blanking of the buffer output at pin 1 is clamped to ground and fed to the non-inverting input of voltage comparator, ICM2 (pin 8) and to the inputs of the sample and hold circuits ICP4 (pin 2) and ICM4 (pin 2). The voltage level at the inverting input of the voltage comparator is half the level of negative sync tip, therefore the comparator output at TP4 is the reference sync detected at the 50% level.

The operation of sample and hold circuits ICP4 and ICM4 are basically identical, differing only in its reference voltage input. ICP4 samples the video blanking level at its non-inverting input at pin 2, compares it to the reference voltage at pin 1 which in this case is grounded via R55. The error voltage is amplified, stored in C82 which is buffered and fed back to CP1 (pin 1). Negative feedback action and high error voltage amplification results in the video blanking level being clamped to ground.

Where ICP4 is part of a feedback loop, ICM4 is not. The negative sync tip is sampled by ICM4 and its output at pin 6 charges C89 and is fed back to its inverting input at pin 1 via R46 and R44. The fully charged voltage of C89 is equal to the level of the negative sync tip. ICM4 is used to buffer C89 and its output at pin 8 is halved by voltage divider R45 and R46 and fed to the inverting input of the voltage comparator ICM2 (pin 10).

The operation of the pulse generating circuits of the reference sync detector sample and hold circuit is similar to the pulse generating circuit of the input video clamping circuit. Both eliminates the 2H component and generates a pulse coincident with video blanking. The major difference is that a second pulse that is coincident with the negative sync tip is generated at ICJ2 (pin 4).

When Digital Input video is active, the sync information at the output of ICG4, which is derived from the Green Digital Input video at the inputs of ICF5 and ICG3, is used as the reference for the genlock phase loop.

5-3-2. FM-18 Board

The frame memory system is made up of from 2 to 4 memory boards that store 4 or 8 frames of green, blue, and red images, depending on the number of memory ICs installed.
This configuration of memory units allows a range of 8 to 32 frames of storage. Each frame is allocated 2M bytes of memory for each of green, blue, and red ; storage of active video requires somewhat less memory. The remainder is used for test signal generation and E/E operation.
Standard 256K by 4-bit dynamic memory ICs are used. These devices require a wide word width to support the high data rate of high definition television. The word width in the frame memory system is 32 pixels, which results in a very slow and easily managed memory cycle time of approximately 430 ns. Normal conversion between the backplane word width of 4 pixels and the memory width of 32 pixels would require many parallel to serial to parallel converters. This was overcome by interleaving the memory 8 to 1. In this configuration, each cluster of 4 pixels is routed to or from all memory ICs. The memory control signals are staggered so that only one eighth of the memory ICs interact with each cluster.
The primary memory timing and addressing generation is performed on the system control board to reduce circuit redundancy. The frame memory boards receive multiplexed row/column addresses and memory cycle control signals ; the addresses are passed directly to the memory array, and the cycle control signals are converted by programmable logic to the dynamic memory and bus control signals. A series of registers is used to generate the staggered address and control signals for the 8 to 1 interleaving.

(1) Storage Capacity
The HKDF-508 board which has all of the dynamic random access memory (DRAM) chips installed has a storage capacity of 8 frames (16 fields). The HKDF-504 board which has only half of the DRAM chips installed has a storage capacity of 4 frames (8 fields). The setting of JP1 indicates the memory capacity status of the board. See 2-8 Switch and Jumper Setting of HDDF-500 Operation and Maintenance Manual for proper setting of JP1.
Each composite frame consists of green, blue, and red frames and uses a total of about 6 Mbits of memory.

(2) Board Selection
There are provisions for a total of 4 each memory boards with 2 minimum required. The boards are referred to by location, slot 1, slot 2 etc. . The location of each slot is coded on the mother board and input at ICA2 (pins 9, 11 and 14) which decodes it. Board selection is through the select lines applied to ICA2 (pins 10, 12 and 13). A true (logic high) is asserted at ICA2 (pin 6) on the selected board.

(3) Video Data
There is a set of Input and Output data bus for each of the Green, Blue, and Red channels. Each of these 32 bit buses are on the mother board and all video data transfers are via these buses. The green, blue, and red input and output bus lines are designated, respectively, GI0-GI31, GO0-GO31, BI0-BI31, BO0-BO31, and RI0-RI31, RO0-RO31.

(4) Memory Addressing
Multiplexed row/column address and memory cycle control signals are input at ICB3 (pins 3, 4, 7 and 8) and decoded by programmable array logic (PAL) devices ICC2 and ICC3.
The decoded control signals at ICC2 and ICC3 (pins 15 through 18) are further decoded to from memory clock and control signals. The decoded control signals at ICC2 and ICC3 (pins 12 through 14) along with the addresses, A0-A9, are input to shift registers to from 8 phases of these signals and input to the memory array. The staggered control and address signals are used for all memory access operations ; read, write, and memory refresh.

5-3-3. DA-34 Board

The post processor receives data from the memory boards DA-34 board via the backplane and converts it to simultaneous analog and digital formats for output.
Video data for each of Green, Blue, and Red is received as 32 bits at 18.6 MHz and immediately converted to 8 bits at 74.25 MHz. Then the data is applied to a horizontal phasing delay line with an adjustment range of plus or minus 400 nsec., and digital blanking and sync are added. This digital signal is converted to a balanced configuration and sent to the digital video outputs. It is also presented to the digital to analog converter. The resulting analog signal is filtered and output through line drive amplifiers.

The DA-34 board performs the following functions:

- Parallel to serial conversion of output video data
- Horizontal phase control and blanking of output video data
- Add sync and protection bit data to green digital output video
- Digital output drivers
- Optional sync insertion of analog output video data
- Analog conversion, low pass filtering, dc restoration, and distribution of analog output video

(1) Green Digital Video In and Parallel to Serial Conversion

The green video data is input via the mother board 32 bit video output Data Bus (GO0-GO31), converted to ECL logic level and serialized. The 32 bit parallel to 8 bit serial conversion occurs 2 steps. The 18.56 MHz data is first converted to 37.125 MHz 16 bit data and then to 74.25 MHz 8 bits. The data is then fed to the input of the H Phase control circuit, ICF5 and ICF7, (pins 6, 7, 18, and 19).

(2) H Phase Control and Blanking

The 8 data bits from the parallel to serial converter is continually written into and read out of random access memory (RAM) chips, ICF5-ICF8. The timing of reading data out of the RAM chips determines the H phase of video. Reading of data from the same address location just after writing will result in zero relative H phase of video. Reading 5 address locations behind the writing will result in the H phase of video lagging by 5 clock periods (67.34 ns) and conversely reading 5 address locations ahead of the writing will result in the video leading by 67.34 ns. A range of ± 400 ns is available. The output of the H phase Control is then blanked by ICG7 and ICG8 and then latched into registers ICH7 and ICH8.

(3) Green Digital Output

The output of ICH7 and ICH8, (pins 2, 3, 14 and 15), are fed to multiplexers, ICH3, ICH4, ICG3, and ICG4 where sync data and protection bit are added. The output of the multiplexers are fed to differential line drivers, ICB5-ICB8 whose outputs are routed to the HDDF-500 G DIGITAL OUT connector. Note that sync data and protection bit are added only in green digital output.

(4) Green Analog Output

The output of ICH7 and ICH8, (pins 2, 3, 14 and 15), are fed to multiplexers, ICH5 and ICH6 where sync is optionally added. The output of the multiplexers are then fed to the input of the digital to analog converter (DAC), ICJ7 (pins 1 through 9).

The video output of the DAC is amplified by ICK6 and ICK7 and then low pass filtered by FL1. The output of FL1 is amplified by ICN7 with RV1 setting the gain and CV1 the frequency response. The output of ICN7 (pin 5) is buffered by ICP5-ICP7 with each buffer output going to one of the HDDF-500 ANALOG OUT connectors. ICP7 output (pin 1) is sampled by the sample and hold circuit ICN8 and results with the green video blanking being clamped to ground.

5-4. CONTROL AND INTERFACE SYSTEM

5-4-1. SY-149 Board

The control board generates the timing, synchronizing, and control signals for the memory management, video processing, and machine control functions. It contains the ports for interfacing to 9 PIN serial devices such as video editing systems.
The resident master clock generator, phase locked to selected analog or digital input video or reference sync, operates at 74.25 MHz. This clock is distributed to the input and post processors for use in the analog to digital and digital to analog conversions. Most of the timing is performed at one fourth that rate, approximately 18.6 MHz, to allow more manageable circuitry to be used.
The intelligent control is performed by a 68000 microprocessor, which responds to timing signals from the sync generator, commands from the 9PIN serial interface for VTR emulation, and switches for manual control.

The system control board SY-149 performs the following functions :

- Generates all system timing signals which can be phase locked to an external reference
- Generates video memory addressing and multiplexed memory control signals

(1) Central Processor Unit (CPU)

ICK1, a 68000 16 bit CPU is used as the programmed controller on SY-149 board. ICJ2 and ICJ6 provide 124k words of program ROM memory and ICJ3 and ICJ6 provide 64k words of RAM memory. LED D1 is used to display status.
When power is turned on or when the system is manually reset the CPU goes through diagnostic tests with the result displayed on D3.

(2) Serial I/O Ports

Communication with IF-249 board is through serial port. Data is output at ICF7 (pin 12) and input at ICF7 (pin 14). Video memory transfers are coordinated through this port.

Communication with the remote controller (HDDF-500 REMOTE 1 and REMOTE 2) are through RS-422 type ports. Only one of the ports can be active at any given time and is selected with S10. Data is output through ICG8 (pins 2 and 3) and ICG8 (pins 10 and 11). Data is input through ICG8 (pins 1 and 2) and ICG8 (pins 9 and 10). Remote control of the HDDF-500 is done through these ports using a VTR control panel or an editor.

(3) Control Switches and Display Panel Drivers

The status of switches S1 through S11 are read every frame and acted upon. ICH13 (pins 15, 16 and 19) and ICA16 (pins 2, 5, 6, 9, 12, 15, 16 and 18) are routed to the HDDF-500 Dislay Panel where the applicable lights are lit to indicate the current status.

The status of the dip switch S12 is read only during power on and system reset diagnostics.

(4) Phase Locked Loop (PLL)

VCO1, the 74.25 MHz voltage controlled crystal oscillator (VCXO) generates the basic system clock from which the timing signals are generated. Jumpers JP1 and JP2 are used to either operate VCO1 in the free running or phase locked mode. See Section 2-8 Switch and Jumper Setting of JP1 and JP2.

When operating in the phase locked mode, PLL reference comes from sync at ICE1 (pin 3) when analog input is selected or ICA4 (pin 5) and ICA4 (pin 12) when digital input video is selected. After processing, H reference is fed to the reference input of the phase sensitivity detector, ICC2 (pin 1).

The PLL feedback input originates at ICD8 (pin 11) and after processing is fed back to ICC2 (pin 3).

(5) Timing Signals

Two counter chains, which are clocked at 18.58 MHz, in conjunction with EPROMs are used to generate the timing signals. ICE3 through ICE5 counter chips and EPROMs ICD3 and ICD4 generate the vertical rate timing signals. ICE6 through ICE8 counter chips and EPROMs ICD5 through ICD8 generate horizontal rate timing signals. Programmable array logic (PAL) chips, ICD8, ICD10, ICD11, and ICD12 generate composite (mixed vertical and horizontal) timing signals.

(6) Memory Addressing

All memory transfers are controlled by SY-149 board. The information to read/write from/to frame/field number N is provided to the memory system by SY-149 board.

The memory boards (of which there are up to 4 each) are selected via ICA15 (pins 8, 6, 5, and 2, representing boards 1 through 4 respectively). Memory addresses, A0 through A9 are routed out to the memory boards via ICA15 (pins 16 and 18) and ICA14 (pins 12, 15, 16, and 19). Also routed to the memory boards as part of the memory access information are the multiplexed memory control signals at IC13 (pins 12, 15, 16, and 19).

5-4-2. IF-249 Board

The interface board, IF-249 board incorporates a parallel computer interface to enable images to be transferred to and from the video memories in non-real time. Hardware is present to allow communications to be conducted with a host system through DR11/DRV11* interface. In addition to supporting peripheral computer control, the interface board communicates with the control board to control memory access. It also has the logic and resident intelligence shared with the control board to provide video test signals and system debug capability.
All data transfers between the interface board and the frame memory boards flow through FIFOs, which allow the relatively fast video backplane to communicate with the slower CPU bus on the interface board. Data transfers to the frame memory boards are permitted only during horizontal blanking; the FIFOs allow the circuitry on the interface board to continue the direct memory access operation during the active video period.
The HDDF-500 is configured such that the interface board controls the data itself, with the system control board handling addressing, e. g., which frames, lines, and pixels are involved in the transfer. Internal data transfers (memory diagnostics and test signal generation) are initiated by the system control board which sends a high level command to the interface board. External data transfers are initiated by the host computer or image processing system. When a command is acknowledged, the interface board prepares for the data transfer and sends addressing information to the control board. When both boards are ready, the transfer commences.
The parallel computer interface is hardware-compatible with Digital Equipment Corporation (DEC) DR11 and DRV11 boards.
The DR11/DRV11 interface transfers data at a maximum rate of 500k bytes per second.

The IF-249 board performs the following functions:

- Micro processor control system
- Communications with the systems controller Direct memory access (DMA) to video memory
- Parallel computer interface

* DR11 and DRV11 are registered trade marks of Digital Equipment Corporation.

(1) Micro Processor Control System

ICH8, a 68000 16 bit Central Processor Unit (CPU) is used as the controller on IF-249 board. ICE5 and ICE8 provide 124k words of program ROM memory and ICE6 and ICE9 provide 64k words of RAM memory. LED D1 is used to display status.
When power is turned on or when the system is manually reset with S1, the CPU goes through diagnostic tests with the result displayed on D1.

(2) System Communications

Communication with the HDDF-500 system controller, SY-149 board, is through serial ports. Data is output at ICD2 (pin 14) and input at ICD2 (pin 4).

Transfer of video data to and from video memory are from the 32 bit × 3 × 2 Input (GI0-GI31, BI0-BI31, and RI0-RI31) and Output (GO0-GO31, BO0-BO31, and RO0-RO31) Data buses on the mother board and the 16 bit CPU data bus (D0-D15). Sixteen bit first in first out (FIFO) registers are used to buffer data transfers between the I-O and CPU buses. One FIFO is used for all Input Data transfers and a second FIFO for all Output Data transfers. Each 32 bit video memory word is converted to 2 each 16 bit words at the FIFO input and v. v. SY-149 board controls the addressing of video memory.

(3) Direct Memory Access(DMA)

CPU intervention is eliminated by use of DMA for data transfers to and from video memory and is incorporated to increase data transfer rate. When DMA is active, all CPU bus control is relinquished by the CPU and taken over by the DMA controller (DMAC) ICH11. Data which is transferred in blocks, is direct between the I-O and CPU Data buses without having to go through the CPU.

(4) Computer Parallel Interface

The Computer Parallel Interface is used to interface with Digital Equipment Corporation (DEC) compatible computers which is connected to the HDDF-500 COMPUTER PARALLEL INTERFACE connectors, J1 and J2. J1 and J2 are routed to CN5 and CN6 which are located at the front of the board. Jumpers JP1 and JP2 are set according to the bus structure of the computer being interfaced to. See 2-8 Switch and Jumper Setting of HDDF-500 Operation and Maintenance Manual for proper setting of JP1 and JP2.
Video data is transferred from the CPU data bus to the interface via ICK6 and ICK7 and transferred to the CPU data bus from the interface via ICK2 and ICK3, both in the DMA mode.
Data transfer is initiated when the REQ1 line of the DMAC chip, ICH11 (pin 3) is set low. The DMAC will set the DONE line (ICC11 pin 22) low when the block data transfer is completed.